

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1c978 U.S. PRO
09/915703
07/26/01

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 44252 호
Application Number PATENT-2000-0044252

출원년월일 : 2000년 07월 31일
Date of Application JUL 31, 2000

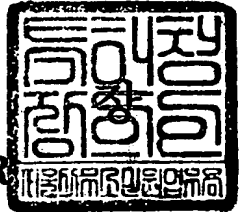
출원인 : 주식회사 세라텍
Applicant(s) CERATECH CORPORATION



2001 07 10
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.07.31
【발명의 명칭】	표면 실장형 칩 인덕터 제조방법
【발명의 영문명칭】	Method for manufacturing surface mounted chip inductor
【출원인】	
【명칭】	주식회사 씨라텍
【출원인코드】	1-1998-002400-5
【대리인】	
【성명】	서장찬
【대리인코드】	9-1998-000291-2
【포괄위임등록번호】	1999-014017-4
【발명자】	
【성명의 국문표기】	안병준
【성명의 영문표기】	AHN,Byeung Joon
【주민등록번호】	580306-1036815
【우편번호】	135-090
【주소】	서울특별시 강남구 삼성동 26-27 유림빌라 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서장찬 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 소형 전자기기 등에 사용되는 표면 실장형 칩 인덕터 제조방법에 관한 것으로서, 상기 방법은, 페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 혼합하여 원통형의 압출성형체를 형성하는 단계와; 상기 성형체의 표면에 금속층을 박막 형태로 형성하는 단계와; 상기 금속층에 나선형으로 코일 패턴을 형성하는 단계와; 상기 나선형 코일 패턴이 형성된 압출성형체 위에 페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 혼합한 재료로 외부 코팅층을 형성하는 단계와; 상기 외부에 코일 패턴 및 외부 코팅층을 갖는 원통형 압출성형체를 각형 몰드에 삽입하여 소정의 온도 및 압력을 가하여 상기 각형의 형태로 변형하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

【대표도】

도 5

【색인어】

인덕터, 표면실장형, 열가소성 유기 바인더, 세라믹 분말, 페라이트분말, 원통형 소체

【명세서】**【발명의 명칭】**

표면 실장형 칩 인덕터 제조방법{Method for manufacturing surface mounted chip inductor}

【도면의 간단한 설명】

도1은 본 발명의 표면 실장형 칩 인덕터를 제조하는데 사용되는 원통형의 페라이트 또는 세라믹 소체(압출성형체)를 도시한 도면

도2는 본 발명에 따른 유기 바인더를 사용하여 형성된 원통형 페라이트 또는 세라믹 소체의 표면에 금속층을 도포한 것을 도시한 도면

도3은 금속층에 레이저를 주사하여 나선형의 홈을 형성하거나 또는 기타 기계적인 가공에 의해 소정의 권선수를 갖도록 코일 패턴이 형성된 것을 도시하는 도면

도4는 코일 패턴이 형성된 압출성형체 위에 외부 세라믹 또는 페라이트 코팅층을 형성한 것을 도시하는 도면

도5는 사각형의 몰드내에 페라이트 또는 세라믹 소체가 삽입되어 가열 및 가압되어 사각형으로 변형되는 것을 도시한 도면

도6은 몰드에서 가열 및 가압되어 성형된 사각형 페라이트 또는 세라믹 소체의 형상을 도시한 도면

도7은 사각형으로 성형된 세라믹 소체를 일정 길이로 절단하여 단일 인덕터를 형성하는 것을 도시한 도면

도8은 절단된 단일 세라믹 소체를 소결하고 그 소결체의 양측부에 외부전극을 형성한 것을 도시한 도면

도면의 주요 부분에 대한 부호의 설명

10: 세라믹 소체 15: 금속층

20: 나선형 홈 25: 외부코팅층

50: 몰드 51: 하부 몰드

52: 상부 몰드 60: 각형 성형체

70: 단일 세라믹 소체 80: 외부 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 인덕터 제조방법에 관한 것으로서, 더욱 상세하게는, 소형 전자기기 등에 사용되는 표면실장형 칩 인덕터 제조방법에 관한 것이다.

<16> 최근 각종 전자기기가 소형화, 경량화됨에 따라서 이를 구성하는 전자부품이 경박단소화되고 있다. 또한 대부분의 전자부품들이 제조공정의 자동화를 위하여 인쇄 기판상에 표면실장되고, 그러한 표면실장 부품들이 각형인 것을 감안하여 볼 때 종래의 원통형 인덕터는 표면실장에 어려움이 있다.

<17> 일반적으로, 인덕터는 권선형과 적층형의 두가지 종류로 분류되며, 각각은 적용범위뿐만 아니라 그 제조방법도 차이가 있다.

<18> 권선형 인덕터의 경우 코일간에 부유용량(도선간의 정전용량)이 발생하므로

고용량의 인덕턴스를 얻기 위해 권선수를 증가시키면 그에 따라서 고주파 특성이 열화되는 단점이 있다.

<19> 한편, 적층형 인덕터의 경우에 모재는 권선형과 동일하나 코일 대신에 나선형으로 내부전극이 인쇄된 그린시트(green sheet)를 적층, 가압, 소결한 후 상기 모재의 양측부에 외부전극이 도포되어 형성된다. 적층형 인덕터는 표면 실장되어 회로에서 노이즈 제거용 등으로 적용되는 칩부품으로서, 대량생산에 적합하다는 장점이 있고, 내부 전극은(Ag)으로 구성되기 때문에 고주파 특성이 우수하다. 반면에 전극의 적층수가 한정되므로 얻을 수 있는 인덕턴스에 한계가 있고, 특히 내부 전극의 폭이 제한되어 충분한 허용전류를 얻을 수 없다는 단점이 있다. 따라서, 전원용으로는 사용하기 어렵고 주로 저전압, 저전류 회로부분으로 한정되어 사용된다. 이에 더해서, 제조공정 자체가 까다롭고 설비비가 많이 소요되는 등의 단점도 있다.

<20> 이러한 문제점을 해결하기 위해서 원주형의 소체위에 금속막을 형성하고 트리밍에 의해 상기 금속막으로 코일 패턴을 형성한 인덕터가 제안된바 있으나, 이는 표면실장에 문제점이 있었다. 한편, 표면실장에 유리한 각형인 인덕터는 소체표면의 금속막을 레이저로 트리밍할 경우 설비 비용이 증가하고 가공 시간이 과다하게 소요되며, 레이저 수광량의 변동이 커서 균일한 홈을 형성할 수 없어 전기적인 특성이 저하되는 등 신뢰성을 기본으로 하는 전자부품에 치명적인 결과를 초래하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서 본 발명은 이러한 종래 기술의 문제점을 해결하기 위한 것으로서, 원통형태의 소체 표면에 형성된 금속층을 정밀하게 트리밍하여 전기적인 특성을 양호하게 하며, 소체를 각형으로 변형시켜서 표면실장을 용이하게 하는 것을 목적으로 한다.

- <22> 이러한 목적을 달성하기 위해서, 본 발명은, 표면 실장형 칩 인덕터 제조 방법에 있어서, 페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 혼합하여 원통형의 압출 성형체를 형성하는 단계와; 상기 성형체의 표면에 금속층을 박막 형태로 형성하는 단계와; 상기 금속층에 나선형으로 코일 패턴을 형성하는 단계와; 상기 나선형 코일 패턴상에 페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 혼합한 재료로 외부 코팅층을 형성하는 단계와; 상기 외부에 코일 패턴 및 외부 코팅층을 갖는 원통형 압출성형체를 각형 몰드에 삽입하고 소정의 온도 및 압력을 가하여 각형의 형태로 변형하는 단계를 포함하여 이루어지는 것을 특징으로 한다,
- <23> 또한, 본 발명에서, 상기 열가소성 유기 바인더는 폴리에틸렌, 폴리스틸렌, 폴리염화비닐, 폴리아미드 등의 열가소성 수지 또는 그 혼합물인 것을 특징으로 한다.
- <24> 또한, 본 발명에서, 상기 금속층은 Ag, Al, Au, Pt, Ni, Cu, Pb, Sn 등인 것을 특징으로 한다.
- <25> 또한, 본 발명에서, 상기 코일 패턴은 레이저 또는 기타 기계적 가공을 통하여 형성하는 것을 특징으로 한다.
- <26> 또한, 본 발명에서, 상기 유기 바인더는 성형이 완료된 성형체가 소결될 때, 소결 과정에서 소실되는 재료인 것을 특징으로 한다.
- <27> 또한, 본 발명에서, 상기 각형 몰드는 사각형이며, 그에 따라서 표면 실장형 칩 인덕터는 사각형으로 성형되는 것을 특징으로 한다.
- <28> 또한, 본 발명에서, 상기 외부 코팅층을 형성하는 단계는 상기 압출성형체를 각형으로 변형하는 단계 이후에 이루어지는 것을 특징으로 한다.

<29> 또한, 본 발명에서, 상기 각형의 형태로 변형된 압출 성형체를 일정 길이로 절단하는 단계를 더 포함하는 것을 특징으로 한다.

<30> 또한, 본 발명에서, 상기 절단된 압출 성형체를 소결하고 그 소결체의 양측에 외부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<31> 이하 본 발명의 바람직한 실시예에 대해서 첨부된 도면을 참조하여 상세히 설명한다.

<32> 도1은 본 발명의 표면 실장형 칩 인덕터를 제조하는데 사용되는 원통형의 세라믹 소체(10)(압출성형체)를 도시한 도면이다. 상기 세라믹 소체(10)는 페라이트 또는 세라믹 분말에, 가열에 의해서 변형이 가능한 열가소성 유기 바인더를 혼합하여 원통형태로 성형한 것이다.

<33> 여기서 사용된 유기 바인더는 세라믹 또는 페라이트 등의 원료가 소결되어 고용체를 형성하기 전에, 세라믹 또는 페라이트 분말을 소정의 형상으로 성형하거나 성형된 형상을 유지하기 위해서 첨가하는 것이다. 종래의 적층형 칩 인덕터에서는 이러한 바인더로서 폴리비닐알콜(PVA), 폴리비닐부티랄(PVB), 니트릴 셀룰로우스 등이나 이들의 혼합물을 주로 사용한다. 반면에 본 발명의 표면 실장형 칩 인덕터 제조에 사용되는 유기 바인더는 세라믹 소체(10)를 1차로 원통형으로 성형하고 성형체 위에 금속막을 도포하여 코일을 형성한 다음, 1차 성형된 세라믹 소체(10)가 다시 각형으로 변형되므로 소정의 온도(예를들면, 300℃)에서 각형성형이 가능하도록, 폴리에틸렌, 폴리스틸렌, 폴리 염화비닐, 폴리아미드 등의 열가소성 수지 또는 이들의 혼합물로 구성된 열가소성 바인더를

사용한다.

- <34> 한편, 이와같이 첨가된 유기 바인더는 성형이 완료된 성형체가 소결될 때, 소결과 정에서 소실되며, 그 결과 소결체는 세라믹 또는 페라이트 및 이에 첨가된 각종 첨가물만의 고용체(固溶體)를 형성한다.
- <35> 도2은 본 발명에 따른 유기 바인더를 사용하여 형성된 원통형 세라믹 소체(10)의 표면에 금속층(15)을 도포한 것을 도시한 도면이다. 상기 금속층(15)의 도포는 딥핑(dipping), 도금 또는 스퍼터링(sputtering) 등의 표면처리 공정을 사용하여 적당한 두께로 수행할 수 있다.
- <36> 본 실시예에서는 금속층을 은(Ag)으로 도포하였다. 그러나 다른 실시예에서는 은(Ag) 대신에 Al, Au, Pt, Ni, Cu, Pb, Sn 등의 다른 금속류를 사용하여도 무방하다.
- <37> 도3은 금속층에 레이저를 주사하여 나선형 홈(20)을 가공하여 소정의 권선수를 갖도록 코일 패턴이 형성된 것을 도시하는 도면이다. 본 실시예에서는 코일 패턴을 형성하는데 레이저가 사용되었지만, 특별히 레이저로 한정되는 것은 아니고 미세한 홈을 나선형으로 가공할 수 있는 장비라면 어느 것이나 관계없다. 본 실시예에서 레이저를 사용한 것은 상기 홈(20)의 깊이나 권선수를 레이저의 주사전력, 주사시간, 초점거리 등을 조정하여 쉽게 결정할 수 있기 때문이다.
- <38> 상기 홈(20)의 깊이는 바람직하게는 금속층(15)의 두께보다 더 깊게하여 금속층(15)의 바닥 아래까지 내려오도록 깊게 형성할 수 있다.
- <39> 도4는 코일 패턴이 형성된 금속층상에 외부 코팅층(25)을 형성한 것을 도시하는 도면이다. 이 외부 코팅층(25)은 페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 도

포하여 일정 두께로 형성하였다.

- <40> 그후, 도5에 도시된 바와같이, 사각형의 몰드(50)를 제작하여 그 몰드에 본 발명의 세라믹 소체를 삽입하고 가열하므로서 각형으로 변형시키게 된다. 상기 몰드는 도면에 볼 수 있드시, 하부 몰드(51)와 상부 몰드(52)로 구성되어 있다. 하부 몰드는 상부에서 하부로 향하여 볼 때 홈이 형성된 U 자형으로 되어있어서, 세라믹 소체를 상부에서 부터 삽입이 가능하다. 삽입후에는, 상부 몰드(52)를 결합하여 원통형의 세라믹 소체가 사각형으로 형성된 몰딩내에 놓이게 된다.
- <41> 본 실시예에서는 몰딩이 사각형이지만, 이는 표면 실장에 유리하게 다른 각들 갖도록 변형하는 것이 가능하다. 세라믹 소체는 몰딩내에서 일정한 온도 및 압력을 받아서 몰딩의 형상대로 변형된다. 전술된 바와 같이 상기 원통형의 세라믹 소체에는 유기 바인더가 첨가되어 있어서, 가열 및 가압에 의해서 몰딩의 형상으로 변형되는 것이다.
- <42> 본 실시예에서는 세라믹 소체의 코일 패턴이 형성된 압출성형체 위에 외부 코팅층(25)을 도포한 후에 사각형으로 변형시켰지만, 선택적으로는, 이러한 순서를 바꾸어서 먼저 세라믹 소체에 코일 패턴을 형성한 후 바로 사각형으로 변형하고 이어서, 외부 코팅층(25)을 형성해도 무방하다. 도6은 이제까지의 공정을 통해서 성형된 각형 성형체(60)인 세라믹 소체의 형상을 도시한 것이다.
- <43> 도7은 사각형으로 성형된 세라믹 소체를 일정 길이로 절단하여 단일 인덕터(70)를 형성하는 것을 도시한다. 절단 크기로는 통상적인 표면 실장형 크기, 이를테면, 1608, 2012 등의 크기에 맞추어 절단한다. 이와같이 하므로 기존에 사용하는 표면 장착기로서 적층형 부품과 동일하게 실장하는 것이 가능하다.

<44> 도8은 이처럼 절단된 단일 세라믹 소체(70)를 소결하고 그 소결체의 양측부에 외부 전극(80)을 형성한 것을 도시한 도면이다. 이와같이 칩 타입의 인덕터를 형성하므로써 기존의 장착기를 사용하여 표면 실장이 가능해 지게 된다.

【발명의 효과】

<45> 이와같이 본 발명에 따른 방법에 의하여, 표면 실장형 칩 인덕터를 제조하므로써 종래의 권선형 및 적층형 인덕터 제조공정에서 갖는 단점을 보완하게 된다. 즉, 원통형 태의 압출성형체에 코일 패턴을 레이저 등으로 가공하고 이를 다시 각형으로 제조할 수 있어서 종래의 방법으로 각형 인덕터를 제조하는 과정에서 오는 전기적인 특성의 저하 등을 방지할 수 있을 뿐 아니라, 공정의 단순화에 따라서 대량 생산이 유리하며, 코스트를 낮추는 것이 가능하며, 기존의 표면 실장형 장착기를 사용하여 간단히 실장할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

표면 실장형 칩 인덕터 제조 방법에 있어서,

페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 혼합하여 원통형의 압출성 형체를 형성하는 단계와;

상기 성형체의 표면에 금속층을 박막 형태로 형성하는 단계와;

상기 금속층에 나선형으로 코일 패턴을 형성하는 단계와;

상기 나선형 코일 패턴이 형성된 원통형 압출성형체 위에 페라이트 또는 세라믹 분말에 열가소성 유기 바인더를 혼합한 재료로 외부 코팅층을 형성하는 단계와;

상기 외부에 코일 패턴 및 외부 코팅층을 갖는 원통형 압출성형체를 각형 몰드에 삽입하여 소정의 온도 및 압력을 가하여 상기 각형의 형태로 변형하는 단계를 포함하여 이루어지는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 2】

제1항에 있어서, 상기 열가소성 유기 바인더는 폴리에틸렌, 폴리스틸렌, 폴리 염화 비닐, 폴리아미드 등의 열가소성 수지 또는 그 혼합물인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 3】

제1항에 있어서, 상기 금속층은 Ag, Al, Au, Pt, Ni, Cu, Pb, Sn 등인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 4】

제1항에 있어서, 상기 코일 패턴은 레이저 또는 기타 기계적 가공을 통하여 형성하는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 5】

제1항에 있어서, 상기 각형 몰드는 사각형이며, 표면 실장형 칩 인덕터는 사각형으로 성형되는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 6】

제1항에 있어서, 상기 외부 코팅층을 형성하는 단계는 상기 압출성형체를 각형으로 변형하는 단계 이후에 이루어지는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 7】

제1항에 있어서, 상기 각형의 형태로 변형된 압출 성형체를 일정 길이로 절단하는 단계를 더 포함하는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 8】

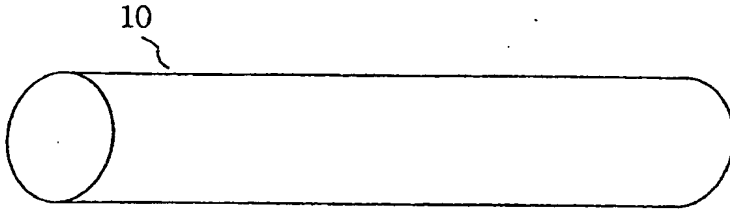
제1항 또는 제7항에 있어서, 상기 절단된 압출 성형체를 소결하고 그 소결체의 양측에 외부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 9】

제1항에 있어서, 상기 유기 바인더는 성형이 완료된 성형체가 소결될 때, 소결 과정에서 소실되는 재료인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【도면】

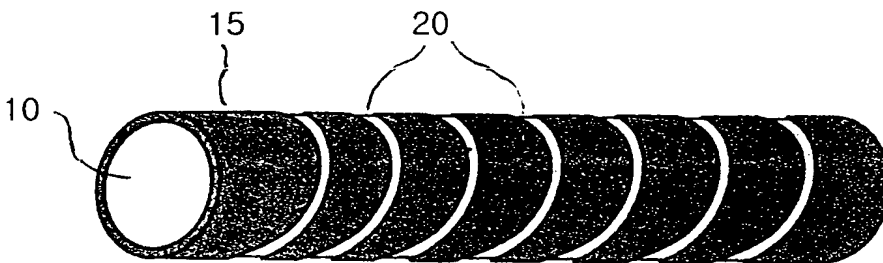
【도 1】



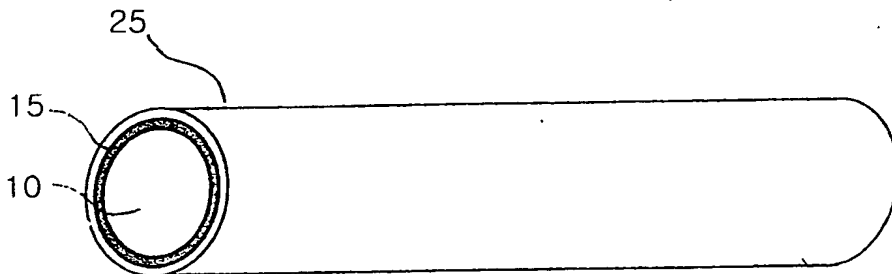
【도 2】



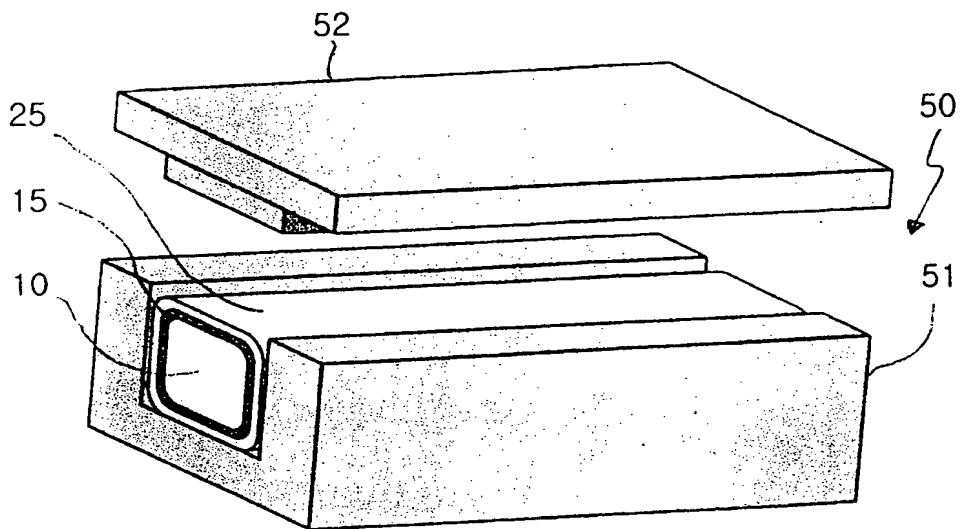
【도 3】



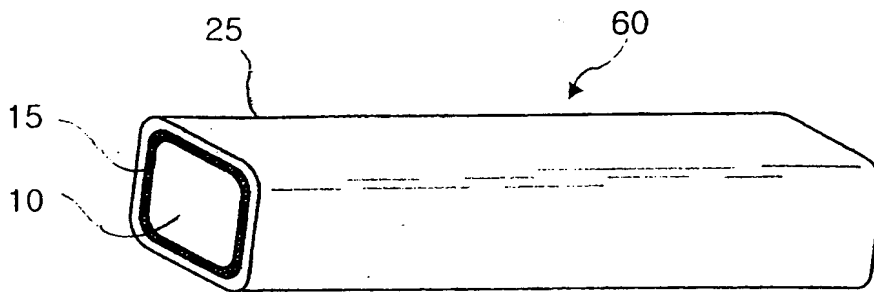
【도 4】



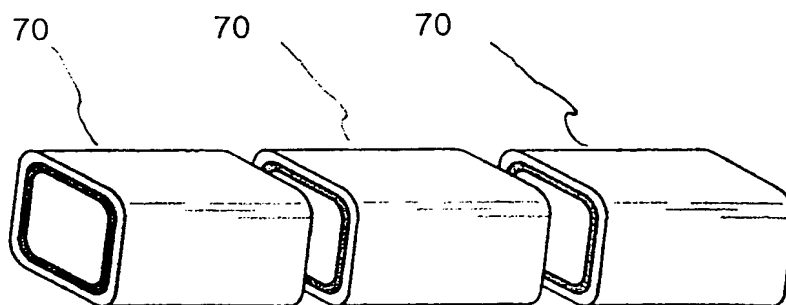
【도 5】



【도 6】



【도 7】



【도 8】

80

